

DISPLAY DEVICE

Patent number: JP2002278498

Publication date: 2002-09-27

Inventor: NUMAO KOJI

Applicant: SHARP CORP

Classification:

- international: G09G3/20; G02F1/133; G02F1/1362; G09F9/30;
G09F9/35; G09G3/36

- european:

Application number: JP20010153097 20010522

Priority number(s):

Also published as:



US6853370 (B2)



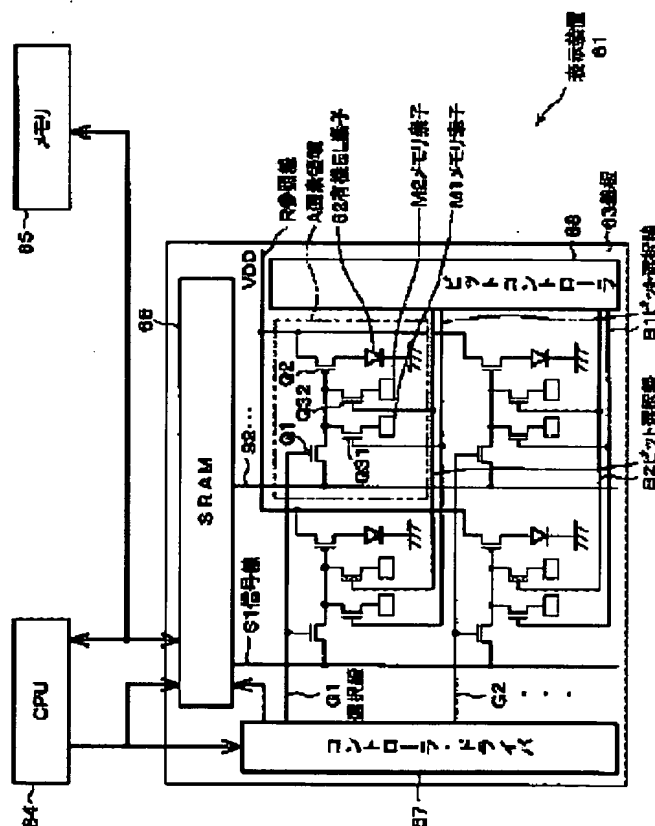
US2002089496 (A1)

Report a data error here

Abstract of JP2002278498

PROBLEM TO BE SOLVED: To provide a display device in which the number of wiring in a display area can be reduced, and also whose power consumption can be reduced in realizing multi-gradation display.

SOLUTION: The memory element M is composed of M1 and M2 corresponding to gradations to be displayed; 2nd active elements Q31, Q32 individually corresponding thereto, and bit selection lines B1-B6 routed in common across control input ends of the elements Q31, Q32 of an equal bit order are arranged; data are written during a non-selection period of a selection line G; and during a selection period, the bit selection lines B1-B6 are selected only for a period of a weighted bit.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-278498

(P2002-278498A)

(43)公開日 平成14年9月27日(2002.9.27)

(51) Int.Cl.⁷

G O 9 G 3/20

識別記号

6 2 4

6 1 1

621

6 3 1

641

FI

G 0 9 G 3/20

テーマト* (参考)

624B 2H092

611A 2H093

6 2 1 M 5 C 0 0 6

631H 5C080

641J 5C094

審査請求 未請求 請求項の数 9 OL (全 23 頁) 最終頁に続く

(21)出願番号

特願2001-153097(P2001-153097)

(22) 出題目

平成13年 5 月22日(2001.5.22)

(31)優先権主張番号

特願2001-3051 (P2001-3051)

(32) 優先日

平成13年 1 月10日(2001.1.10)

(33) 優先權主張国

日本 (J P)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 沼尾 幸次

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

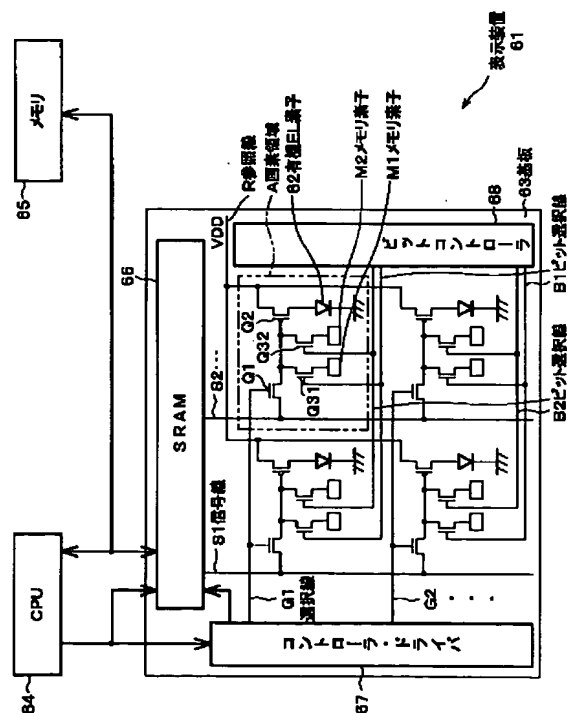
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 選択線Gによって選択されている間に第1のアクティブ素子Q1によって信号線Sのデータをメモリ素子Mに取込み、そのメモリ素子Mの記憶内容に対応して電気光学素子を構成するアクティブ素子Q2が参照線Rの電圧VDDを有機EL素子62に印加することで、画素毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、省電力化を図るようにした表示装置61において、多階調表示を実現するにあたって、配線数および消費電力を削減する。

【解決手段】 前記メモリ素子Mを、表示すべき階調に対応したM1、M2とし、それに個別的に対応する第2のアクティブ素子Q31、Q32と、相互に等しいビット順位の素子Q31、Q32の制御入力端間に共通に引回され、択一的に選択されるビット選択線B1～B6を設け、選択線Gの非選択期間にデータを書込み、選択期間にビット選択線B1～B6をビットの重みの期間だけ選択する。



【特許請求の範囲】

【請求項1】マトリクス状に区画された各領域に電気光学素子が配設され、前記各領域に設けられた第1のアクティブ素子を介して信号線からメモリ素子にデータを取込み、そのメモリ素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、各電気光学素子に対応する前記メモリ素子を同一の信号線に対して複数個設け、前記各メモリ素子の一部または全部の出力によって前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項2】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の数少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別に対応して設けられる第2のアクティブ素子と、相互に等しいビット順位の第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間は前記第1のアクティブ素子を介するデータに対応するメモリ素子に格納させ、前記選択線が選択されていない期間に対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする表示装置。

【請求項3】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の数少なくとも一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別に対応して設け、前記各メモリ素子に個別に対応して設けられる第3のアクティブ素子と、相互に等しいビット順位の第3のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする表示装置。

【請求項4】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の数少なくと

も一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別に対応して設け、

前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項5】選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の数少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別に対応して設けられる第2のアクティブ素子と、相互に等しいビット順位の第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間に前記第1のアクティブ素子を介するデータに対応するメモリ素子に格納させるビット選択線とを含み、前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項6】前記各電気光学素子がマトリクス状に配列され、前記ビット選択線を隣接行間で共用することを特徴とする請求項2～5の何れかに記載の表示装置。

【請求項7】前記ビット選択線を2つに区分し、各行間に分散して配設することを特徴とする請求項6記載の表示装置。

【請求項8】前記ビット選択線の選択データをデコードするデコード手段をさらに備えることを特徴とする請求項2～7の何れかに記載の表示装置。

【請求項9】前記メモリ素子を、強誘電体薄膜コンデンサで形成することを特徴とする請求項1～8の何れかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイやEL (Electro Luminescence) ディスプレイなどとして好適に実現される薄型の表示装置に関し、特に画素にメモリ機能を持たせたものに関する。

【0002】

【従来の技術】近年、前記液晶ディスプレイ、ELディスプレイ、FED (Field Emission Device) ディスプレイ等の薄型の表示装置の開発が活発に行われている。なかでも、液晶ディスプレイや薄膜ELディスプレイは、その軽量性、低消費電力性を活かし、携帯電話や携帯型のパーソナルコンピュータ等の表示装置として注目されている。一方、これらの携帯機器では、搭載される機能が増加の一途を辿り、電源用バッテリーの高容量化は勿論のこと、表示装置に対しても、更なる低消費電力化による使用時間の長時間化が強く要求されている。

【0003】この表示装置の低消費電力化のための手法として、典型的な従来技術である特開平8-194205号公報には、階調表示を低消費電力で行うために、各画素毎にメモリ機能を持たせ、その記憶内容に対応した基準電圧をスイッチングすることで、同一画像を表示する場合の周期的な再書き込みを停止し、駆動回路の消費電力を低減することが示されている。

【0004】すなわち、図17で示すように、第1のガラス基板には画素電極1がマトリクス状に配置されており、その画素電極1間には横方向に走査線2が、縦方向に信号線3が配置されている。また、走査線2と平行に、参照線4が配置されている。走査線2と信号線3との交差部には後述するメモリ素子5が設けられ、該メモリ素子5と画素電極1との間にはスイッチ素子6が介在されている。

【0005】前記走査線2は1垂直周期毎に走査線ドライバ7によって選択的に制御され、前記信号線3は1水平周期毎に信号線ドライバ8によって一括して制御され、前記参照線4は参照線ドライバ9によって一括して制御される。前記第1のガラス基板には所定距離だけ離れて第2のガラス基板が対向配置されており、該第2のガラス基板の対向面には対向電極が形成されている。そして、2つのガラス基板間に、表示材料として、電気光学素子である液晶が封入されている。

【0006】図18は、図17における各画素部の構成を詳細に示す回路図である。相互に直交するように形成された走査線2と信号線3との交差部に、2値データを保持する前記メモリ素子5が形成されており、このメモリ素子5に保持されている情報は、TFTから成る3端子の前記スイッチ素子6を介して出力される。スイッチ素子6の制御入力端には前記メモリ素子5からの出力が与えられ、一端には前記参照線4の基準電圧 V_{ref} が与えられ、他端には前記画素電極1から液晶層10を介して前記対向電極11の共通電圧 V_{com} が与えられる。したがって、メモリ素子5の出力に応じてスイッチ素子6の一端から他端への抵抗値が制御され、液晶層10のバイアス状態を調整している。

【0007】この図18の構成では、メモリ素子5には、Poly-Si TFTから成る2段のインバータ12、13を用い、正帰還された形のメモリ回路、すなわちスタティック型メモリ素子が用いられている。前記走査線2の走査電圧 V_g がハイレベルとなり、該走査線2が選択されると、TFT14が導通状態となり、信号線3から与えられる信号電圧 V_{sig} は、該TFT14を介してインバータ12のゲート端子へ入力される。このインバータ12の出力は、インバータ13で反転されて該インバータ12のゲート端子に再入力され、こうしてTFT14が導通状態のときにインバータ12に書き込まれたデータが、同極性で該インバータ12に帰還され、再度該TFT14が導通状態となるまで保持される。

【0008】また、このようにPoly-Si TFTを用いてスタティック型メモリ素子を画素毎に作込む別の構成が、他の従来技術である特開平2-148687（特許2729089）号公報に開示されている。図19は、その従来技術における各画素部の構成を示す回路図である。この従来技術では、各画素は、複数のメモリセル m_1, m_2, \dots, m_n （図19では、 $n=4$ ）と、定電流回路21と、前記各メモリセル $m_1 \sim m_n$ のデータによって制御され、前記定電流回路21の基準電流を作成するFET $q_1 \sim q_n$ と、前記定電流回路21からの電流で駆動される有機EL素子22とを備えて構成されている。同じ画素に対応したメモリセル $m_1 \sim m_n$ には、共通にロー電極制御信号 v_1 が与えられ、また個別に n ビットのコラム電極制御信号 $b_1 \sim b_n$ が与えられる。

【0009】定電流回路21は、FET23、24を用いたカレントミラー回路であるので、有機EL素子22を流れる電流は、相互に並列に接続されたFET $q_1 \sim q_n$ を流れる電流の総和である前記基準電流によって決定され、またこのFET $q_1 \sim q_n$ を流れる電流は、メモリセル $m_1 \sim m_n$ に保存されたデータによって決定されることになる。

【0010】各メモリセル $m_1 \sim m_n$ は、たとえば図20で示すように構成されている。すなわち、前記ロー電極制御信号 v_1 によって制御される入力用のインバータ25と、保持用のインバータ26と、帰還用のインバータ27と、前記ロー電極制御信号 v_1 および入力用のインバータ25の出力に応答して、前記保持用のインバータ26のゲートに、前記コラム電極制御信号 $b_1 \sim b_n$ を入力するか、帰還用のインバータ27の出力を帰還するのかを制御するMOS伝送ゲート28、29とを備えて構成されている。したがって、保持用のインバータ26の出力が帰還用のインバータ27およびMOS伝送ゲート29を介して該保持用のインバータ26のゲートに帰還されるスタティック型のメモリ素子構成となっている。

【0011】また、さらに他の従来技術として、画像メモリを表示部の外に配置した液晶表示装置の回路構成が、特開2000-227608号公報に開示されている。図21は、その従来技術の表示基板のブロック図である。この従来技術では、表示部31は、ラインバッファ32を介して画像メモリ33に接続されている。前記画像メモリ33は、メモリセルがマトリクス状に配列されたランダムアクセスメモリの構成となっており、表示部31の画素と同一のアドレス空間を有するビットマップ構成を有している。

【0012】アドレス信号34は、メモリ制御回路35を介して、メモリライン選択回路36およびコラム選択回路37へ入力される。前記アドレス信号34によって指定されたメモリセルが、図示しないコラム線およびライン線によって選択され、そのメモリセルへ表示データ

38が書込まれる。こうして書込まれた表示データ38は、メモリライン選択回路36に入力されたアドレス信号によって、選択画素を含む1ライン分のデータとしてラインバッファ32に出力される。ラインバッファ32は、表示部31の信号配線に接続されているので、この読出された表示データ38は、図示しない信号配線へ出力される。

【0013】一方、前記アドレス信号34はまた、アドレスライン変換回路39にも入力されており、表示部31の図示しないライン選択配線の内、前記アドレス信号34を変換して得られたライン選択配線が、表示ライン選択回路40によって選択され、選択電圧が印加される。このような動作によって、画像メモリ33内の表示データ38が、表示部31へ書込まれる。

【0014】図22は、前記表示部31における各画素の回路構成の一例を示す回路図である。ライン選択配線41が前記表示ライン選択回路40によって選択されることで、該ライン選択配線41に接続される制御TFT42が制御され、信号配線43を介して前記ラインバッファ32から与えられる表示データ38は、共通配線44と前記制御TFT42との間に設けられるコンデンサ45に保持され、このコンデンサ45の端子電圧によって、駆動TFT46の導通／非導通状態が制御される。前記駆動TFT46が導通状態となるか、または非導通状態となるかによって、画素電極47には、液晶基準配線48から与えられる電圧が、直接印加されるか、または前記駆動TFT46の端子間に設けられるコンデンサ49を介して間接的に印加されるかが決定される。

【0015】また、図23は、前記表示部31における各画素の回路構成の他の例を示す回路図である。この構成では、液晶を駆動するTFTとして、アナログスイッチ51を用いている。このアナログスイッチ51は、PチャネルのTFT52およびNチャネルのTFT53から構成されており、該アナログスイッチ51を駆動するために、サンプリングコンデンサ54、55およびサンプリングTFT56、57から成るメモリ回路が、前記各TFT52、53にそれぞれ対応して2系統設けられている。

【0016】前記サンプリングTFT56、57は、相互に極性の異なる2本のデータ配線58、59にそれぞれ接続されるとともに、共通に前記ライン選択配線41に接続され、ライン選択配線41によって該サンプリングTFT56、57の導通／非導通状態が制御され、サンプリングコンデンサ54、55に前記データ配線58、59の電圧D、 $\neg D$ がそれぞれ蓄えられる。なお、このアナログスイッチ51を駆動するための極性の異なる電圧D、 $\neg D$ を、上記のようにメモリ回路を2系統設けて蓄えるのではなく、画素内部に設けたインバータ回路で生成する構成や、メモリ回路の構成としては、半導体に用いられるメモリ回路の構成をTFTを用いて表示

部31上に実現してもよいことが記載されている。

【0017】このように、特開2000-227608号には、液晶ディスプレイ用の表示部31外に画像メモリ33を持ったポリシリコンTFT基板の構成が開示されている。

【0018】

【発明が解決しようとする課題】しかしながら、特開平8-194205号の従来技術では、図18に示すように、1つの画素が、液晶層10と、液晶駆動用のスイッチ素子6と、1ビットのメモリ素子5とから構成されており、1つの液晶素子当たり白黒2値表示はできても、3階調以上の多階調表示はできないという問題がある。

【0019】同様に、特開2000-227608号の従来技術でも、図22に示すように、1つの画素には、液晶素子と、コンデンサ45から成る1ビットのメモリ素子しか構成されないため、上記1つの液晶素子当たり、白黒2値表示しかできないという問題がある。

【0020】この点、特開平2-148687号の従来技術では、図19に示すように、1つの画素が、有機EL素子22と、カレントミラー回路21と、複数のメモリセルm1～mnとを備えて構成されており、前記メモリセルm1～mnの状態を書換えることで、前記多階調表示を実現することができる。

【0021】ところが、図19の構成では、多階調表示に必要なメモリセル数nだけ、データ側配線であるコラム電極制御信号b1～bnが必要になるので、多階調表示しようとする程、画素が配線で覆われてしまい、メモリセル等を作成するための領域が狭くなるという新たな問題が生じる。

【0022】また、特開平2000-227608号の構成では、画像メモリ33から1走査ライン分のデータが並列に読出され、ラインバッファ32へ送出されている。このように画像メモリ33からバッファ回路（または信号線ドライバ）へデータを並列に送出するメリットは、1ライン分のデータを、一旦パラレル／シリアル変換し、シリアルデータとして、図17に示されるような信号線ドライバ8の図示しないシフトレジスタ内を転送させ、再度シリアル／パラレル変換することに伴う消費電力を削減する効果があり、その分低消費電力化が可能となっている。

【0023】しかしながら、そのような構成で、画素当たり3階調以上の多階調表示を行う場合、画像メモリ33から読出したデータを信号線ドライバ8内のD/A変換回路でアナログ電圧に変換する構成となり、D/A変換に伴う電力消費が大きいという問題がある。

【0024】さらにまた、特開平2-148687号のような構成でも、FETq1～qnによって作成され、カレントミラー回路21のFET23側を流れる前記基準電流は無駄となるので、このカレントミラー回路21を一種のD/A変換回路と考えると、同様にD/A変換

に伴う消費電力の問題がある。

【0025】本発明の目的は、多階調表示を実現するにあたって、表示領域における配線数を削減することができるとともに、消費電力を削減することができる表示装置を提供することである。

【0026】

【課題を解決するための手段】本発明の表示装置は、マトリクス状に区画された各領域に電気光学素子が配設され、前記各領域に設けられた第1のアクティブ素子を介して信号線からメモリ素子にデータを取込み、そのメモリ素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、各電気光学素子に対応する前記メモリ素子を同一の信号線に対して複数個設け、前記各メモリ素子の一部または全部の出力によって前記電気光学素子を表示駆動する。

【0027】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個、たとえば8階調とすると3個設ける。そして、その一部または全部の出力によって前記電気光学素子を表示駆動する。

【0028】したがって、一部の出力を使用した場合、ビットの重みに対応して順次出力を切換えることで時分割によるデジタル階調制御を行うことができ、また一部の出力と残余の出力とで異なる映像を表示することもできる。たとえば、 n ビットのデータでは、 2^n の階調の1つの映像を表示したり、2階調（1ビット階調）の n 個の映像を切換え表示したりすることは勿論のこと、 2^{n-1} の階調の映像と、2階調（1ビット階調）の映像との切換え表示等も可能となる。一方、全部の出力を同時に使用した場合、各ビットの出力の加算電圧や電流によってアナログ階調制御を行うことができる。

【0029】これによって、共通の信号線を使用して各ビットのデータが対応するメモリ素子に取込まれ、またそれらのビットを選択するビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。さらにまた、マルチビットのデータによって電気光学素子を時分割のデューティで駆動することで、D/A変換に伴う電力消費も削減することができる。

【0030】また、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子がそ

のメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別に対応して設けられる第2のアクティブ素子と、相互に等しいビット順位の第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間は前記第1のアクティブ素子を介するデータを対応するメモリ素子に格納させ、前記選択線が選択されていない期間に対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする。

【0031】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現する。このために、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設ける。たとえば8階調必要な場合は、各電気光学素子に対応しては2個設け、外部のRAMに1個設けたり、各電気光学素子に対応して3個総て設ける。

【0032】一方、各メモリ素子に個別に対応して、前記第1のアクティブ素子および電気光学素子と対応するメモリ素子との間には、第2のアクティブ素子が介在され、前記選択線が選択されている間は、前記第1のアクティブ素子を介する各ビットのデータが、この第2のアクティブ素子がビット選択線によって択一的に選択されることで、対応するメモリ素子に格納される。これに対して、前記選択線が選択されていない期間は、前記第2のアクティブ素子がビット選択線によって択一的に選択されることで、対応するメモリ素子のデータは電気光学素子に出力される。

【0033】すなわち、たとえば前記多階調表示を実現する場合、3ビットのデータでは、第1～第3の各ビットのデータが1であるとする、先ず第1のビットに対応したメモリ素子からの1のデータが単位期間 T だけ第2のアクティブ素子を介して電気光学素子に与えられ、次に第2のビットに対応したメモリ素子からの1のデータが期間 $2T$ だけ第2のアクティブ素子を介して電気光学素子に与えられ、続いて第3のビットに対応したメモリ素子からの1のデータが期間 $4T$ だけ第2のアクティブ素子を介して電気光学素子に与えられる。この場合、前記参照線の電圧は、電気光学素子に、0～7の前記8階調の内の、7の階調で印加され、こうして時分割によ

るデジタル多階調表示を実現することができる。

【0034】また、上述のように第2のアクティブ素子によって一部のメモリ素子の出力を切換えて使用する場合、その一部の出力と残余の出力とで異なる映像を表示することもできる。すなわち、 n ビットのデータでは、上述のように 2^n の階調の1つの映像を表示するだけでなく、2階調（1ビット階調）の n 個の映像を切換えて簡単な動画を表示したり、 2^{n-1} の階調の映像と、2階調（1ビット階調）の映像との切換え表示等も可能となる。

【0035】これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費も削減することができる。さらにまた、異なる映像の切換え表示にあたって、一旦メモリ素子にデータを書込んでしまえば、外部のCPU等の動作は必要なく、低消費電力で実現することができる。

【0036】さらにまた、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の数少なくとも一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別に対応して設け、前記各メモリ素子に個別に対応して設けられる第3のアクティブ素子と、相互に等しいビット順位の第3のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、対応するメモリ素子のデータを電気光学素子に出力させるビット選択線とを含むことを特徴とする。

【0037】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個、たとえば8階調とすると3個設ける。

【0038】一方、前記第1のアクティブ素子およびその選択線も各メモリ素子に個別に対応して設けるとともに、各メモリ素子と電気光学素子との間には、ビット

選択線によって択一的に選択される第3のアクティブ素子をそれぞれ介在する。したがって、時分割によるデジタル多階調表示を実現することができ、および／または異なる映像を表示することもできる。

【0039】これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費を削減することもできる。

【0040】また、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の数少なくとも一部分に対応したビット数個設けるとともに、前記第1のアクティブ素子および選択線も各メモリ素子に個別に対応して設け、前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする。

【0041】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調数に対応したビット数個設けるとともに、第1のアクティブ素子およびその選択線も各メモリ素子に個別に対応して設ける。

【0042】したがって、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0043】さらにまた、本発明の表示装置は、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、電気光学素子とそのメモリ素子の記憶内容に対応した表示を行うようにした表示装置において、各電気光学素子に対応して形成される前記メモリ素子を、同一の信号線に対して、表示すべき階調の数少なくとも一部分に対応したビット数個設け、前記各メモリ素子に個別に対応して設けられる第2のアクティブ素子と、相互に等しいビット順位の

第2のアクティブ素子の制御入力端間に共通に引回され、各ビット順位間で択一的に選択されて、前記選択線が選択されている間に前記第1のアクティブ素子を介するデータを対応するメモリ素子に格納させるビット選択線とを含み、前記複数のメモリ素子の和出力で前記電気光学素子を表示駆動することを特徴とする。

【0044】上記の構成によれば、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設けるとともに、各メモリ素子に個別的に対応して、前記第1のアクティブ素子および電気光学素子と対応するメモリ素子との間に第2のアクティブ素子を介し、この第2のアクティブ素子をビット選択線によって択一的に選択することで、対応するメモリ素子にデータを格納する。

【0045】したがって、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。これによって、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0046】また、本発明の表示装置は、前記各電気光学素子がマトリクス状に配列され、前記ビット選択線を隣接行間で共用することを特徴とする。

【0047】上記の構成によれば、配線面積を縮小し、一層の多階調化を図ることができる。

【0048】さらにまた、本発明の表示装置は、前記ビット選択線を2つに区分し、各行間に分散して配設することを特徴とする。

【0049】上記の構成によれば、配線数のバランスが取れ、表示均一性を向上することができる。

【0050】また、本発明の表示装置は、前記ビット選択線の選択データをデコードするデコード手段をさらに備えることを特徴とする。

【0051】上記の構成によれば、配線領域の割合を一層小さくすることができる。

【0052】特に本発明は、表示エリアの各電気光学素子と対応した構成でメモリ素子を持ち、CPU等外部の装置から表示装置に表示すべき画像（や文字）データが書込まれるRAM（ランダム・アクセス・メモリ）を、表示エリアの外に表示装置と一体化して形成する場合に適用することが好ましい。

【0053】上記構成では、RAMからデータをパラレルに読出し、各電気光学素子へ表示することで低消費電

力化を図っているが、RAMと電気光学素子との間にD/A変換器があると、そのことだけで上記パラレル化した低消費電力効果がなくなる。

【0054】そこで、本発明のようにRAMと電気光学素子との間にD/A変換器を設けず、代わりにデジタル的なメモリを設け、多階調表示する構成とすることで、上記構成で目的とする低消費電力化を実現できるので、好ましい。

【0055】なお、上記構成で表示エリアの外に設ける画像メモリをRAMと表現しているのは、上記電気光学素子毎にスタティックメモリを設ける構成では、画像メモリは一時的にデータを保持すれば良いだけであるので、必ずしもSRAM構成を取らなくとも、DRAM構成でも良いと判断するからである。

【0056】さらにまた、本発明の表示装置は、前記メモリ素子を、強誘電体薄膜コンデンサで形成することを特徴とする。

【0057】上記の構成によれば、TFTなどのトランジスタを使用するSRAM回路で実現する場合よりも、メモリ素子に必要な回路面積を小さくすることができる。

【0058】

【発明の実施の形態】本発明の実施の第1の形態について、図1～図4に基づいて説明すれば、以下のとおりである。

【0059】図1は、本発明の実施の第1の形態の表示装置61の概略的構成を示す図である。この表示装置61は、電気光学素子を有機EL素子62としたELディスプレイであるけれども、前記液晶素子やFED素子が用いられてもよいことは言うまでもない。なお、本構成で基板63上に形成されるTFT（薄膜トランジスタ）素子は、たとえば特開平10-301536などでも説明されているCGS（Continuous Grain Silicon）TFT製作プロセスや、一般的に用いられているPoly-Si TFTプロセスなどで作成することができる。

【0060】この表示装置61では、大略的に、CPU（中央処理ユニット）64は、フラッシュメモリ兼SRAM（Static Random Access Memory）であるメモリ65との間でデータをやり取りして、表示すべきデータを前記基板63上のSRAM66に記憶させ、そのSRAM66内のデータをコントローラ・ドライバ67の指示によって書込みおよび定期的な読出しを行わせて、各画素領域A内に形成されるメモリ素子Mに記憶させる。そして、このメモリ素子Mに記憶されているデータに従って参照線（電源線）Rの電圧VDDが前記有機EL素子62に与えられることで、画素毎に記憶保持動作に必要な電源を得るとともに、同一データの再書込みを行わないようにして、信号線駆動回路である前記SRAM66の省電力化、および前記CPU64の電源OFFによる省電力化が図られている。

【0061】このため、前記コントローラ・ドライバ67からの選択線（ゲート信号線） G_i （ $i=1, 2, \dots, m$ 、総称するときは、以下参照符Gで示す）と、前記SRAM66からの信号線（データ信号線） S_j （ $j=1, 2, \dots, n$ 、総称するときは、以下参照符Sで示す）との交点には、第1のアクティブ素子であるN型のTFTQ1が形成され、コントローラ・ドライバ67によって選択電圧が印加されている選択線Gにゲートが接続されているTFTQ1によって、SRAM66から信号線Sに出力されているデータがメモリ素子Mに記憶される。また、メモリ素子Mからの出力は、前記有機EL素子62とともに電気光学素子を形成するP型のTFTQ2のゲートに与えられ、このTFTQ2によって前記参照線Rの電圧VDDが前記有機EL素子62に印加される。

【0062】なお、メモリ素子Mは、後述するようにスタティックメモリで実現される。この場合、前記SRAM66を、CPU64から出力されるデータ転送速度と、画素領域Aに配置されたメモリ素子Mへのデータ転送速度とを調整するバッファと考えれば、該SRAM66は一時的にデータを保持できればよいので、必ずしもSRAM構成を取らなくともよく、DRAM構成が用いられてもよい。この場合、どの画素に対応するデータが更新されたかを示すデータと共に記憶することで、更新されたデータに対応するメモリ素子Mのみを書換える構成とすることができる。

【0063】すなわち、表示装置61の画素領域Aに配置したメモリ素子Mは信号線S等を通して書換える必要がある。しかし、一般に信号線S等の浮遊容量は通常のRAMより大きいので、その書換え速度は通常のRAMより遅くなる。そこで、一時的にCPU64からのデータを保持するために表示領域外に通常のRAMと同等のRAMを持たせることになり、この場合、画素領域A外のRAMはDRAM構成でよい。

【0064】また、この画素領域A外に配置されるRAMには、後述するように、画素領域A内のメモリ素子Mに書込めなかったデータを保存する役割も持たせられる。たとえば、表示させたい階調数が6ビット階調のとき、画素に4ビット階調しか配置できなければ、残り2ビット分のデータを画素領域A外のRAMへ配置する。

【0065】さらにまた、後述するように複数の映像を表示切換え表示するときにも、より多くのメモリ素子が必要であり、この場合も画素領域A内に配置できなかったメモリデータを画素領域A外のRAMに配置するようにすればよい。すなわち、画素領域A内のメモリ素子Mと画素領域A外のRAMとの間で表示データをやり取りし、通常は画素領域A内のメモリデータを表示し、他の画面に切換えるときは画素領域A外のRAMデータを画素領域A内のメモリ素子Mへ移し、（また、逆に画素領域A内のメモリデータを画素外のRAMへ戻し、）表示

を得ることも可能である。

【0066】また、前記SRAM66およびコントローラ・ドライバ67、さらにはCPU64も、基板63に一体化されてもよい。この場合、前記CGSTFT製作プロセスを用いて基板63に作込んでも、または単結晶半導体工程を用いて作った集積回路を基板63に後から実装するようにしてもよい。さらに、前記単結晶半導体工程を用いて作成した集積回路を後から実装する場合、基板63上に直接実装しても、または銅箔パターンで配線されたテープ上にTAB（Tape Automated Bonding）技術によって一旦実装してから、改めてそのTCP（Tape Carrier Package）を基板63と結合させるようにしてもよい。

【0067】注目すべきは、本発明では、各画素領域A内に形成されるメモリ素子Mを、多階調表示を実現するにあたって表示すべき階調に対応したビット数個、または表示させたい複数の映像に必要なビット数個、もしくはそれらの組合わせに対応したビット数個以下の個数（図1では、図面の簡略化のために、参照符M1、M2の2個）が設けられることである。各画素領域A内に形成されるメモリ素子Mの個数が、必要となる個数未満の場合には、不足するメモリ素子は前記SRAM66内に設けられ、必要に応じて画素領域A側とSRAM66側とで、データのやり取りが行われればよい。以下の説明は、多階調表示を想定したものとし、複数映像の表示については後述する。

【0068】図1の構成では、前記メモリ素子M1、M2に個別に対応して、前記TFTQ1、Q2間を接続するラインと、対応するメモリ素子M1、M2との間に、第2のアクティブ素子であるTFTQ31、Q32が介在される。また、前記TFTQ31、Q32を択一的に選択するために、ビット選択線B1、B2およびそのビット選択線B1、B2に選択電圧を発生させるビットコントローラ68が設けられている。ビットコントローラ68も、前記SRAM66等と同様に、基板63に一体化されてもよい。

【0069】図2は、前記SRAM66の一構成例を示すブロック図である。このSRAM66は、シリアルINコントロール回路71およびシリアルOUTコントロール回路72によるCPU64へのシリアル・I/Oポートとは別に、前記各信号線Sに対応する基板63のセグメント側1列（1, 2, ..., m）画素分のデータをパラレルに出力するポートであるパラレルOUTコントロール回路73を備えている。このパラレルOUTコントロール回路73はまた、各画素毎に、R、G、Bの3つのポートを有する。その他は、通常のSRAM回路と同様、アドレスバッファ74、75、ローデコーダ76、カラムデコーダ77、セクタ78、メモリアレイ79およびチップセレクトや各種のイネーブル信号に対応したゲート80、81やバッファ82を備えている。

【0070】図3は、前記メモリ素子Mの構成を説明するための任意のi行j列目の1つの画素領域A_{ij}の電気回路図である。この図3でも前述の図1と同様に、図面の簡略化のために、メモリ素子Mは参照符M1、M2の2個としている。以降、前記i行j列目を表す添字i、jは、特に必要な場合についてのみ付加し、そうでない場合は、説明の簡略化のために省略する。

【0071】これらのメモリ素子M1、M2は、P型のTFTP1とN型のTFTN1とから成るCMOSインバータINV1と、同様にP型のTFTP2とN型のTFTN2とから成るCMOSインバータINV2とが組合わされた2段インバータ構成であり、前記TFTQ31、Q32はインバータINV1の入力端に接続され、インバータINV1の出力端はインバータINV2の入力端に接続され、インバータINV2の出力端はインバータINV1の入力端およびTFTQ31、Q32に接続されるSRAM構成である。

【0072】したがって、前記SRAM66からのデータは、TFTQ1およびTFTQ31、Q32を介してインバータINV1の入力端に入力され、該インバータINV1で反転され、さらにインバータINV2で反転されて該インバータINV1の入力端に正帰還されて自己保持動作が行われるとともに、この出力がTFTQ31、Q32から電気光学素子を構成する前記TFTQ2に与えられる。

【0073】図4は、前記ビット選択線B1、B2および選択線Gの波形図である。この図4の例では、1フレーム期間T_fは127に分割されており、データの書込み期間である1のタイミングで選択線Gがハイレベル（前記選択電圧）となり、かつビット選択線B1、B2が択一的にハイレベルとなって、各メモリ素子M1、M2に、同一の信号線Sを介して、SRAM66からのデータが取込まれ、表示期間である残余の2～127のタイミングでは選択線Gはローレベル（非選択電圧）となり、かつビット選択線B1、B2がそのビットの重みの比率に対応して択一的にハイレベルとなって、各メモリ素子M1、M2のデータがTFTQ2に出力される。

【0074】詳しくは、そのビットの重みに対応して、ビット選択線B1は単位期間Tだけ選択され、これに対してビット選択線B2は期間2Tだけ選択される。また、図4の例では、前記単位期間Tを1フレーム期間T_fの7/127としており、すなわち1フレーム期間T_f内で、 $(127-1)/(1+2) \times 7 = 6$ 回だけ、交互に選択される。

【0075】したがって、1のタイミングでは前記のようにメモリ素子M1、M2へのデータの取込みが行われ、2～8のタイミングではビット選択線B1が選択されてメモリ素子M1のデータがTFTQ2に出力され、9～22のタイミングではビット選択線B2が選択されてメモリ素子M2のデータがTFTQ2に出力され、以

降同様に、23～29のタイミングではビット選択線B1が選択され、30～43のタイミングではビット選択線B2が選択され、…107～113のタイミングではビット選択線B1が選択され、114～127のタイミングではビット選択線B2が選択される。

【0076】また、選択線Gは、前記1フレーム期間毎に、その1/127の期間だけ、順に選択されてゆくことになるけれども、CPU64からSRAM66へ転送されるデータをコントローラ・ドライバ67がモニタし、表示画像の変更の必要のないときには、コントローラ・ドライバ67からの制御出力に応答して前記SRAM66はデータを出力せず、前記のように省電力となっている。

【0077】なお、前記1のタイミングでも、メモリ素子M1、M2のデータはTFTQ2に出力される。したがって、前記2～127のタイミングのみを表示期間とすると、階調エラーが生じることになる。一方、前記1のタイミングも表示期間とすると、SRAM66からのデータで直接TFTQ2が駆動されることになるけれども、メモリ素子M1、M2へのデータの書込みによる電圧変動の影響が生じることになる。したがって、選択線Gがハイレベルであり、かつビット選択線B1、B2がハイレベルとなる期間の影響を考慮し、前記選択線Gがローレベルの間に、ビット選択線B1、B2がハイレベルである期間を調整すればよい。前記参照線Rの電圧V_{DD}および信号線Sの選択時の電圧は、たとえば共に5～6Vである。

【0078】このようにメモリ素子Mを用いて省電力化を図るようにした表示装置61において、多階調表示を実現するにあたって、前記メモリ素子Mを、表示すべき階調に対応したビット数個のM1、M2だけ設けるとともに、前記TFTQ1、Q2との間にTFTQ31、Q32をそれぞれ設け、選択線Gが選択されている間はTFTQ1を介して各ビットのデータを時間分割で順次メモリ素子M1、M2に記憶し、選択線Gが選択されていない期間はその記憶しているデータをビットの重みの比率に対応してTFTQ2のゲートに与えることで、参照線Rの電圧V_{DD}を時分割で駆動して電気光学素子62のデジタル多階調表示を実現することができる。

【0079】したがって、多階調表示のために、同様に複数のメモリセルm1～mnを用いる前記図19の構成と比較すると、本発明では、R、G、Bの各色毎に、1本の信号線Sと、R、G、Bの各色で共通の選択線Gおよびビット選択線B1、B2が必要になり、ビット数をxとすると、1本×3(R、G、B)+1本+x本=4本+x本となるのに対して、図19の構成では、x本×3(R、G、B)+1本(ロー電極制御信号線)=3x本+1本となり、配線数を大幅に削減することができる。これによって、各画素領域Aにおける配線の面積を縮小して、階調数を増加しても、メモリ素子M1、M2

等を作成するための領域を十分に確保することができる。

【0080】また、CPU64から表示領域外に設けたSRAM66にデータを書込み、CPU64からのデータの書込み速度とメモリ素子M1、M2へのデータの書込み速度との調整を行い、さらにSRAM66から直接メモリ素子M1、M2へ複数のビットデータをパラレルに書込むことで、従来の信号線駆動回路のようにSRAM66からのデータをシリアルに変換して転送する必要がなくなり、また各画素でデジタルデータを用いた階調表示を実現するので、SRAM66と画素との間に消費電力の大きなD/A変換回路が必要とならず、こうして低消費電力化を図ることができる。

【0081】特に、静止画像を表示する機会の多い携帯電話などでは、データ転送に伴う消費電力よりもデータをD/A変換することに伴う消費電力が大きいため、階調データをシリアルに送るために必要な電力より、階調データからアナログ電圧を発生させるために必要な電力の方が大きく、上記欠点を補って余りのある効果を期待することができる。

【0082】さらに、メモリ素子M1、M2は、通常のSRAMと同様に、2段のCMOSインバータINV1、INV2で構成されるので、各インバータINV1、INV2のP型TFTP1、P2とN型TFTN1、N2とのうち、導通状態となるTFTはどちらかが一方でしかなく、メモリ状態を維持している間に各インバータINV1、INV2を流れる電流が少なく、低消費電力である。

【0083】なお、上述の構成では、信号線Sは複数のビットで共用されるので、前記図19で示すようなメモリ素子数だけ信号線Sを確保する場合に比べて、データの転送周波数がビット数倍となる欠点はある。しかしながら、表示装置の画素数を $m \times n$ としたとき、SRAM66から従来の信号線駆動回路へシリアルにデータを転送すれば、必要な転送周波数は信号線Sのパラレル数 $\times n$ 倍となる。通常 n は80以上であるけれども、ビット数 \times は8程度なので、上記の構成でもデータをパラレルに転送することによるメモリ素子M1、M2へのデータ転送速度を下げる効果は残る。

【0084】一方、以下に前記複数映像の表示について説明する。たとえば、メモリ素子Mの個数を k とすると、静止画像表示時に、そのメモリ素子Mからのデータを切換えて読出すことで、1ビット階調(2階調)の映像であれば、 k 個の映像を切換えて表示することができる。すなわち、2階調映像であれば k 個の映像、4階調映像であれば $k/2$ 個の映像、…と表示することができる。また、各映像は同じ階調数である必要はなく、たとえば j ($j < k$)ビット階調の映像と、残余の $k-j$ ビット階調の映像との切換え表示を行うこともできる。こうして、簡単な動画を静止画像と同じ程度の消費電力で

表示させることも可能である。

【0085】また、このような静止画像を表示するとき、たとえば6ビット階調を表示したいのに、画素に4ビット分のメモリ素子しか配置できなければ、前記のように画素外のSRAM66から残余の2ビット分のデータを読出すようにすることも可能である。この場合、画素外のSRAM66には3ビット分のデータをSRAM構成で貯えられることが望ましい(残りはDRAM構成でよい)。

【0086】さらにまた、複数の映像を表示する場合、より多くのメモリ素子を用いる必要が出てくる。このときも、上記同様に、画素外のRAMから必要なビットデータを画素のメモリ素子へ読出して表示するようにすればよい。さらにまた、複数の映像表示に必要なデータのうち、一部の映像表示に必要なデータのみメモリ素子に記憶しておき、その他の映像を表示するときは画素外のRAMから新規にデータを受入れ(それと共に、メモリ素子のデータを画素外のRAMへ戻し、)CPUの電源を入れないまま、複数の映像表示や簡単な動画表示を得ることも可能である。

【0087】本発明の実施の第2の形態について、図5および図6に基づいて説明すれば、以下のとおりである。

【0088】図5は、本発明の実施の第2の形態の表示装置における1つの画素領域Aの電気回路図である。この図5の構成は、前述の図3の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。本構成でも、前述の図3の構成と同様に、図面の簡略化のために、メモリ素子Mは参照符M1、M2の2個としているけれども、3個以上のメモリ素子が対応可能である。

【0089】注目すべきは、本構成では、メモリ素子M1、M2のそれぞれに対応して、同一の信号線Sからデータを取込むための第1のアクティブ素子であるTFTQ11、Q12が設けられるとともに、メモリ素子M1、M2の出力を前記電気光学素子のTFTQ2に与える第3のアクティブ素子であるTFTQ51、Q52が設けられることである。前記TFTQ11は選択線Gaに選択電圧が与えられると信号線Sからのデータをメモリ素子M1に書込み、前記TFTQ12は選択線Gbに選択電圧が与えられると信号線Sからのデータをメモリ素子M2に書込む。

【0090】また、前記ビット選択線は参照符Bで示すように2つのメモリ素子M1、M2で共用されるようになっており、このため各メモリ素子M1、M2の出力を前記TFTQ2に択一的に与えるように、メモリ素子M1側のTFTQ51はP型であり、メモリ素子M2側のTFTQ52はN型となっており、これらTFTQ51、Q52のゲートに前記ビット選択線Bの選択電圧が与えられることで、メモリ素子M1とメモリ素子M2と

の何れか一方のみの出力がTFTQ2に与えられ、対応する期間だけ有機EL素子62に電流が流れることになる。

【0091】図6は、前記ビット選択線Bおよび選択線Ga、Gbならびに信号線Sの波形図である。この図6の例でも、1フレーム期間Tfは127に分割されており、データの書き込み期間である1のタイミングでは、選択線Ga、Gbが信号線Sに送出されたビットデータに従い、順次ハイレベル（前記選択電圧）となっており、各メモリ素子M1、M2にSRAM66からのデータが書き込まれる。表示期間である残余の2～127のタイミングでは、選択線Ga、Gbはローレベル（非選択電圧）となり、かつビット選択線Bがそのビットの重みの比率に対応してメモリ素子M1の選択電圧V1とメモリ素子M2の選択電圧V2とに切り替わり、各メモリ素子M1、M2のデータが択一的にTFTQ2に出力される。

【0092】このようにして、ビット選択線Bに送出された選択電圧がV1である期間とV2である期間との比率を1:2とすることで、多階調表示が行われる。また、メモリ素子M1、M2に異なる2値映像（文字や画像）データを記憶させておき、このビット選択線Bを1または複数のフレーム単位で周期的に電圧V1とV2とに切り替えることで、2つの映像が周期的に表示され、簡単な繰返し動画が表示できる。このような機能は、携帯電話等の待受け画面として好まれる傾向がある。

【0093】本発明の実施の第3の形態について、図7および図8に基づいて説明すれば、以下のとおりである。

【0094】図7は、本発明の実施の第3の形態の表示装置における1つの画素領域Aの電気回路図である。この図7の構成は、前述の図5の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。本構成でも、前述の図3の構成と同様に、図面の簡略化のために、メモリ素子Mは参照符M1、M2の2個としているけれども、3個以上のメモリ素子が対応可能である。

【0095】前記図1および図5の構成では、階調表示を実現する手法として時間分割階調表示を用いている。しかしながら、本発明はそれに限定されるものではなく、また電気光学素子も有機EL素子62に限定されるものでもない。そこで、注目すべきは、本実施の形態は、電気光学素子として液晶91を用い、その液晶91へアナログ電圧を印加して階調表示を実現する場合の例を示すものである。

【0096】前記液晶91は、抵抗R11、R12の並列回路と、抵抗R2と相互に直列に接続されて、電源電圧VDDの参照線（電源線）RとGNDとの間に介在されている。本構成では、前記ビット選択線B1、B2；Bは設けられておらず、メモリ素子M1、M2の出力は、P型のTFTQ61、Q62にそれぞれ与えられ、

その導通／非導通を制御する。TFTQ61は前記抵抗R11、R12と並列に、TFTQ62は前記抵抗R2と並列に、それぞれ設けられる。また、液晶91と並列に抵抗R3が設けられている。

【0097】前記抵抗R11、R12が相互に並列に形成されるのは、1/2の抵抗値の抵抗を作成するためであり、エッチング条件等のプロセスの影響で、略等しい抵抗値の抵抗を作成することは比較的容易であるけれども、単体で前記1/2の抵抗値の抵抗を合わせて作成することは難しい。したがって、各抵抗R11、R12、R2、R3の抵抗値は相互に等しいことが望ましい。

【0098】以下、TFTQ61、Q62のON抵抗を無視すると、液晶91には、該TFTQ61、Q62が共に非導通状態のとき、

$$VDD \times (R3 / ((R11 / R12) + R2 + R3))$$

の電圧が印加され、TFTQ61が導通状態でTFTQ62が非導通状態のとき、

$$VDD \times (R3 / (R2 + R3))$$

の電圧が印加され、TFTQ61が非導通状態でTFTQ62が導通状態のとき、

$$VDD \times (R3 / ((R11 / R12) + R3))$$

の電圧が印加され、TFTQ61、Q62が共に導通状態のとき、VDDの電圧が直接印加されることになる。

なお、上記式で $(R11 / R12)$ とは、抵抗R11と抵抗R12との並列抵抗値であり、 $(R11 \times R12) / (R11 + R12)$ で表すことができる。

【0099】したがって、前述のように各抵抗R11、R12、R2、R3の抵抗値が相互に等しい場合、TFTQ61、Q62が共に非導通状態のとき、 $2VDD / 5$ の電圧が印加され、TFTQ61が導通状態でTFTQ62が非導通状態のとき、 $VDD / 2$ の電圧が印加され、TFTQ61が非導通状態でTFTQ62が導通状態のとき、 $2VDD / 3$ の電圧が印加されることになる。このようにして、画素領域A内に簡単なD/A変換回路を作込むことも可能である。

【0100】このように各メモリ素子M1、M2に対応したTFTQ61、Q62を導通／非導通状態に切り替えることで、参照線（電源線）Rから与えられた電源電圧VDDを分割し、電圧変換して電気光学素子へ印加する手法は、電気光学素子が液晶91の場合に、特に有効である。また、分圧を前記抵抗R11、R12、R2、R3を行うのではなく、コンデンサで行うようにしてもよい。

【0101】なお、上記図7の構成では、複数の映像を切換えて表示することはできないが、メモリ素子M1、M2とTFTQ61、Q62との間に第3のアクティブ素子を設け、該第3のアクティブ素子とメモリ素子M1、M2の組合せとの間で、映像を切換えることも可能である。また、本構成の制御タイミングは、ビット選択

線Bがない点を除けば、前述の図6の制御タイミングと同じなので、ここではそのタイミングの説明は省略する。

【0102】ここで、上記図7の構成は、表示領域Aにおける配線数を削減する効果は有しているものの、低消費電力化の効果は薄い。そこで、より好ましくは、低消費電力化も実現可能なD/A変換回路の構成を、図8に示す。この図8の構成において、図7の構成に対応する部分には同一の参照符号を付して示す。注目すべきは、メモリ素子M1、M2の出力が、コンデンサC11、C21をそれぞれ介して液晶91に与えられることである。したがって、本構成では、抵抗を用いていないので、消費電力の増加が少なく、前記低消費電力化を達成することができる。

【0103】本構成では、液晶91の静電容量をCLCとし、コンデンサC11、C21の静電容量ををそれぞれ参照符と同一で示すと、メモリ素子M1、M2の出力が共にGND電位であるとき、液晶91には0の電圧が印加され、メモリ素子M1の出力がVDD電位でメモリ素子M2の出力がGND電位のとき、 $VDD \times C1 / (CLC + C11 + C21)$ の電圧が印加され、メモリ素子M1の出力がGND電位でメモリ素子M2の出力がVDD電位のとき、 $VDD \times C2 / (CLC + C11 + C21)$ の電圧が印加され、メモリ素子M1、M2の出力が共にVDD電位のとき、 $VDD \times (C11 + C21) / (CLC + C11 + C21)$ の電圧が印加される。

【0104】そこで、たとえば $C21 = 2 \times C11$ とし、C11をCLCと等しくなる位に、できるだけ大きくとり、電源電圧VDDを適切に設定すれば、液晶91を用いて多階調表示を行うことができる。

【0105】本発明の実施の第4の形態について、図9～図11に基づいて説明すれば、以下のとおりである。

【0106】図9は、本発明の実施の第4の形態の表示装置における1つの画素領域Aの電気回路図である。この図9の構成は、前述の図1、図5、図8の構成に類似している。本構成は、前述の図8のコンデンサを用いたD/A機能を用いて、有機EL素子62を駆動するTFTQ2のゲート電圧を発生させるものである。このため、電圧出力段である前記TFTQ2のゲートにコンデンサC21、C22の一方の端子を接続する。コンデンサC21の他方の端子はメモリ素子M2の出力に接続され、コンデンサC22の他方の端子はコンデンサC11、C12の一方の端子に接続される。コンデンサC11の他方の端子はメモリ素子M1の出力に接続され、コンデンサC12の他方の端子は電源電圧VDDの参照線Rに接続される。

【0107】そして、 $C21 = C11 = C12$ の静電容

量とし、 $C22 = 2 \times C21$ の静電容量とする。すなわち、いわゆるC-2C DAC構成とされる。このC-2CDAC構成については、ASIA DISPLAY'98のP285等に記載されているので、その原理的な説明は省略するが、このようなコンデンサを用いてD/A変換回路を構成し、その出力を有機EL素子62の駆動用のTFTQ2へ与えることも可能である。

【0108】また、本構成では、第1のアクティブ素子であるTFTQ1とメモリ素子M1との間に第2のアクティブ素子であるP型のTFTQ71が設けられ、TFTQ1とメモリ素子M2との間に第2のアクティブ素子であるN型のTFTQ72が設けられ、それらのTFTQ71、Q72のゲートには前記ビット選択線Bの選択電圧が与えられ、前記TFTQ1を介して、信号線Sのデータがメモリ素子M1、M2に択一的に書込まれる。

【0109】図10は、前記ビット選択線Bおよび選択線Gならびに信号線Sの波形図である。この図10の例でも、1フレーム期間Tfは127に分割されており、データの書込み期間である1のタイミングでは、選択線Gがハイレベル（選択電圧）となるとともに、ビット選択線Bが信号線Sに送出されたビットデータに従い、順次メモリ素子M1の選択電圧V1とメモリ素子M2の選択電圧V2とに切り換えられ、各メモリ素子M1、M2にSRAM66からのデータが書込まれる。表示期間である残余の2～127のタイミングでは、選択線Gはローレベル（非選択電圧）となってデータの書込みが禁止されるので、ビット選択線Bは任意の電圧（図10では選択電圧V1）となる。

【0110】このように構成することによって、電流駆動型の電気光学素子であっても、時間分割階調を用いることなく、TFTQ2のゲート電圧を制御することで、対応する電流値を得て、階調表示を行うことができる。

【0111】また、電流駆動型の電気光学素子に対するメモリ素子M1、M2からの出力の電流変換の手法として、このようにTFTQ2のゲート電圧を制御して対応する電流を得る手法以外に、最も端局的な手法として、各メモリ素子M1、M2に対応したスイッチング素子を導通/非導通状態に切換えることで、電源配線と電気光学素子との間の導電率を変化させ、電気光学素子へ電流を与える手法がある。これは、電気光学素子が有機EL素子の場合、特に有効である。その構成を、図11で示す。この構成では、メモリ素子M1、M2には前記TFTQ11、Q12によって前記信号線Sからそれぞれデータが書込まれ、その出力は、TFTQ61、Q62、Q63を制御する。TFTQ61～Q63は総て同じサイズで構成され、各TFTQ61～Q63は導通状態のとき、相互に等しい電流が流れることになる。

【0112】したがって、ビットの重みに従い、メモリ素子M2は、メモリ素子M1に対して2倍の電流を有機EL素子62に供給することができ、このようにメモリ

素子M1, M2にSRAM66からのデータが書込まれるだけで、時間分割を用いなくとも、電流駆動型の電気光学素子で階調表示を行うことができる。

【0113】本発明の実施の第5の形態について、図12に基づいて説明すれば、以下のとおりである。

【0114】図12は、本発明の実施の第5の形態の表示装置における1つの画素領域Aの電気回路図である。この図12の構成は、前述の図3の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、メモリ素子として強誘電体薄膜コンデンサC1, C2が用いられるとともに、このメモリ素子と第1のアクティブ素子であるTFTQ1とが直接接続されており、代わりにメモリ素子とGNDとの間に第2のアクティブ素子であるTFTQ31, Q32が配置されていることである。この図12の強誘電体薄膜コンデンサC1, C2の使い方は、FRAM（強誘電体メモリ素子）でいうところの1T（トランジスタ）1C（コンデンサ）構成である。これによって、図3の4個のTFTP1, P2, N1, N2を使用するSRAM回路よりも、必要な回路面積を小さくすることができる。

【0115】なお、強誘電体薄膜コンデンサの製造方法は、たとえば特開2000-164818号公報および特開2000-169297号公報等に記載されているので、ここでは詳細な説明は省略する。

【0116】また、本構成では、前記強誘電体薄膜コンデンサC1, C2の一端がTFTQ1, Q2aに接続され、他端が前記TFTQ31, Q32を介して接地される。さらに前記図1および図3の基板63では、有機EL素子62の積層順序が、基板、陽極、正孔入層、正孔輸送層、発光層、電子輸送層および陰極の順で、TFTQ2をP型とし、有機EL素子62をTFTQ2とGNDとの間に挿入している。一方、この図12の構成では、基板63aに、基板、陰極、電子輸送層、発光層、正孔輸送層、正孔入層および陽極の順で積層されて構成される有機EL素子62aが用いられており、この有機EL素子62aを、N型のTFTQ2aと電源電圧VDDの参照線Rとの間に挿入している。このようにして、TFTQ2a, Q31, Q32のゲート電圧の振幅が小さくされている。

【0117】本発明の実施の第6の形態について、図13および図14に基づいて説明すれば、以下のとおりである。

【0118】図13は、本発明の実施の第6の形態の表示装置における4つの画素領域の電気回路図である。この図13の構成は、前述の図12の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、メモリ素子として1画素当り6つの強誘電体薄膜コンデンサC1～C6が用いられていることである。また、参照線Rは行方向

で奇数番目の画素（図6ではA11, A21）と偶数番目の画素（図6ではA12, A22）とで共用されており、前記強誘電体薄膜コンデンサC1～C6にそれぞれ対応するTFTQ31～Q36を駆動するためのビット選択線B1～B6も、列方向で奇数番目の画素（図13ではA11, A12）と偶数番目の画素（図13ではA21, A22）とで、すなわち隣接行間で共用されている。参照線Rの電圧は-VDDであり、N型のTFTQ2aが用いられ、これに対応して有機EL素子62aが用いられる。

【0119】図14は、前記ビット選択線B1～B6および選択線Gi, Gi+1の波形図である。この図14の例では、1フレーム期間は128に分割されており、大略的に、1のタイミングで選択線Giがハイレベルとなり、かつビット選択線B1～B6が択一的にハイレベルとなって、i行目の各強誘電体薄膜コンデンサC1～C6にSRAM66からのデータが取込まれ、2のタイミングで選択線Gi+1がハイレベルとなり、かつビット選択線B1～B6が択一的にハイレベルとなって、i+1行目の各強誘電体薄膜コンデンサC1～C6にSRAM66からのデータが取込まれ、残余の3～128のタイミングでは選択線Gi, Gi+1はローレベルとなり、かつビット選択線B1～B6がそのビットの重みの期間だけ択一的にハイレベルとなって、各強誘電体薄膜コンデンサC1～C6のデータがTFTQ2aに出力される。

【0120】なお、上記の場合において、選択線Giがハイレベルであるとき、選択線Gi+1はローレベルであるので、i行目の各強誘電体薄膜コンデンサC1～C6にデータを書込んでいる間、i+1行目の各強誘電体薄膜コンデンサC1～C6にデータが書込まれることはない。

【0121】詳しくは、そのビットの重みに対応して、ビット選択線B1は単位期間Tだけ選択され、ビット選択線B2は期間2Tだけ選択され、ビット選択線B3は期間4Tだけ選択され、ビット選択線B4は期間8Tだけ選択され、ビット選択線B5は期間16Tだけ選択され、ビット選択線B6は期間32Tだけ選択される。また、図14の例では、前記単位期間Tを1フレーム期間の1/128としており、すなわち1フレーム期間内で、 $(128-2) / \{ (1+2+4+8+16+32) \times 1 \} = 2$ 回だけ、交互に選択される。

【0122】したがって、1および2のタイミングでは前記のように各強誘電体薄膜コンデンサC1～C6へのデータの取込みが行われ、3のタイミングではビット選択線B1が選択され、4～5のタイミングではビット選択線B2が選択され、6～9のタイミングではビット選択線B3が選択され、10～17のタイミングではビット選択線B4が選択され、18～33のタイミングでは

ビット選択線B5が選択され、34～65のタイミングではビット選択線B6が選択され、66のタイミングでは再びビット選択線B1が選択され、…97～128のタイミングではビット選択線B6が選択される。

【0123】このように構成することによって、一層の多階調化を図ることができる。

【0124】なお、図14の例では、1フレームの間に2回、同一のビット選択線を選択している。これは1フレームの間に1回だけ各ビットに対応した発光を得る方法では、PDPで問題となったのと同様な動画偽輪郭の問題が発生するからである。しかしながら、前記図4のようにさらに多数回の発光を得て、前記動画偽輪郭を一層改善するためには、MSBに近いビット（たとえばビット選択線B6やB5）程、選択期間を細かく分割して、1フレーム期間内に分散するようにすればよい。

【0125】また、1フレーム期間総てを発光期間とするよりも、1フレーム期間の一部を発光期間とする方が前記動画偽輪郭対策の効果と動きボケ対策の効果があるので好ましい。この非発光状態を作るためには、図13の6個の強誘電体薄膜コンデンサC1～C6のうちの1つへ有機EL素子62aを非発光とする電圧を保持するか、またはその1つの強誘電体薄膜コンデンサに代えて、有機EL素子62aを非発光とする電圧と接続された配線を用意し、その強誘電体薄膜コンデンサまたは配線を選択する動作を行うようにすればよい。

【0126】本発明の実施の第7の形態について、図15に基づいて説明すれば、以下のとおりである。

【0127】図15は、本発明の実施の第7の形態の表示装置における4つの画素領域の電気回路図である。この図15の構成は、前述の図13および図3の構成に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、ビット選択線B1～B6が、B1～B3とB4～B6との2つに区分され、各行間に均等に配置されていることである。すなわち、ビット選択線B1～B6が隣接行間で共用される点は前記図13の構成と同様であるけれども、図13の構成ではそのビット選択線B1～B6が一括して共用する行間に配設されているのに対して、本構成では2つに分割して、分散して配設されている。

【0128】したがって、配線数のバランスが取れ、表示均一性を向上することができる。

【0129】なお、前記図14で示すような動作における強誘電体薄膜コンデンサC1～C6に対する書き込み期間が、2単位時間から3単位時間となるが、その他は同様であるので、ここではその詳細は省略する。

【0130】本発明の実施の第8の形態について、図16に基づいて説明すれば、以下のとおりである。

【0131】図16は、本発明の実施の第8の形態の表示装置における2つの画素領域の電気回路図である。この図16の構成は、前述の図14の構成に類似し、対応

する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、本構成では、3本のビット選択線B1～B3を用いて、その選択出力が各画素A11、A21内でデコードされ、強誘電体薄膜コンデンサC1～C8のうちの対応するものが選択されることである。このため、 $2^3 = 8$ から、前記のように8つの強誘電体薄膜コンデンサC1～C8を設け、また奇数番目の強誘電体薄膜コンデンサC1、C3、C5、C7に対応してはN型のTFTQ31、Q33、Q35、Q37をそれぞれ設け、偶数番目の強誘電体薄膜コンデンサC2、C4、C6、C8に対応してはP型のTFTQ32a、Q34a、Q36a、Q38aをそれぞれ設けるとともに、前記選択信号をデコードするためのTFTQ81～Q86を設けている。

【0132】したがって、配線領域の割合を一層小さくすることができる。

【0133】

【発明の効果】本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設け、その一部または全部の出力によって前記電気光学素子を表示駆動する。

【0134】それゆえ、一部の出力を使用して、時分割によるデジタル階調制御を行うことができ、また一部の出力と残余の出力とで異なる映像を表示することができ、全部の出力を同時に使用した場合、各ビットの出力の加算電圧や電流によってアナログ階調制御を行うことができる。

【0135】これによって、共通の信号線を使用して各ビットのデータが対応するメモリ素子に取込まれ、またそれらのビットを選択するビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。さらにまた、マルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行うと、変換に伴う電力消費も削減することができる。

【0136】また、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書き込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表

示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調および／または映像の種類の少なくとも一部分に対応したビット数個設けるとともに、各メモリ素子と前記第1のアクティブ素子および電気光学素子との間に第2のアクティブ素子を介在し、その第2のアクティブ素子をビット選択線によって択一的に選択することで、データのメモリ素子への書込み／電気光学素子への読出しを制御する。

【0137】それゆえ、時分割によるデジタル多階調表示を実現することができ、および／または異なる映像を表示することもできる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費も削減することができる。さらにまた、異なる映像の切換え表示にあたって、一旦メモリ素子にデータを書込んでしまえば、外部のCPU等の動作は必要なく、低消費電力で実現することができる。

【0138】さらにまた、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示や別映像の表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設けるとともに、前記第1のアクティブ素子およびその選択線も各メモリ素子に個別的に対応して設け、さらに各メモリ素子と電気光学素子との間にビット選択線によって択一的に選択される第3のアクティブ素子をそれぞれ介在する。

【0139】それゆえ、時分割によるデジタル多階調表示を実現することができ、および／または異なる映像を表示することもできる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。また、そのマルチビットのデータによって電気光学素子を時分割のデューティで駆動することでD/A変換を行う場合、変換に伴う電力消費を削減することもできる。

【0140】また、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティ

ブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調数に対応したビット数個設けるとともに、第1のアクティブ素子およびその選択線も各メモリ素子に個別的に対応して設ける。

【0141】それゆえ、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0142】さらにまた、本発明の表示装置は、以上のように、選択線によって選択されている間に第1のアクティブ素子によって信号線のデータをメモリ素子に取込み、そのメモリ素子の記憶内容に対応して参照線の電圧を電気光学素子に印加するなどして、電気光学素子毎に記憶保持動作を行い、同一データの再書込みを行わないようにして、信号線駆動回路の省電力化を図るようにした表示装置において、多階調表示を実現するにあたって、各電気光学素子に対応して形成されるメモリ素子を、同一の信号線に対して、表示すべき階調や映像の種類に対応したビット数個設けるとともに、各メモリ素子に個別的に対応して、前記第1のアクティブ素子および電気光学素子と対応するメモリ素子との間に第2のアクティブ素子を介在し、この第2のアクティブ素子をビット選択線によって択一的に選択することで、対応するメモリ素子にデータを格納する。

【0143】それゆえ、各メモリ素子の出力の加算電圧や電流によってアナログ階調制御を行うことができる。そして、マルチビットのデータは、共通の信号線を時間分割で使用して各メモリ素子に順に取込まれ、またビット選択線は相互に等しいビット順位間で共通に引回されるので、配線数を削減することができる。

【0144】また、本発明の表示装置は、以上のように、マトリクス表示装置において、前記ビット選択線を隣接行間で共用する。

【0145】それゆえ、配線面積を縮小し、一層の多階調化を図ることができる。

【0146】さらにまた、本発明の表示装置は、以上のように、前記ビット選択線を2つに区分し、各行間に分散して配設する。

【0147】それゆえ、配線数のバランスが取れ、表示均一性を向上することができる。

【0148】また、本発明の表示装置は、以上のように、前記ビット選択線の選択データをデコードするデコ

ード手段をさらに備える。

【0149】それゆえ、配線領域の割合を一層小さくすることができる。

【0150】さらにまた、本発明の表示装置は、以上のように、前記メモリ素子を、強誘電体薄膜コンデンサで形成する。

【0151】それゆえ、TFTなどのトランジスタを使用するSRAM回路で実現する場合よりも、メモリ素子に必要な回路面積を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態の表示装置の概略的構成を示す図である。

【図2】前記表示装置におけるSRAMの一構成例を示すブロック図である。

【図3】前記表示装置におけるメモリ素子の構成を説明するための1つの画素領域の電気回路図である。

【図4】図1の表示装置におけるビット選択線および選択線の波形図である。

【図5】本発明の実施の第2の形態の表示装置における1つの画素領域の電気回路図である。

【図6】図5の表示装置におけるビット選択線および選択線ならびに信号線の波形図である。

【図7】本発明の実施の第3の形態の表示装置における1つの画素領域の電気回路図である。

【図8】前記本発明の実施の第3の形態の表示装置において、低消費電力化を実現可能なD/A変換回路の構成を示す電気回路図である。

【図9】本発明の実施の第4の形態の表示装置における1つの画素領域の電気回路図である。

【図10】図9の表示装置におけるビット選択線および選択線ならびに信号線の波形図である。

【図11】図9の構成を用いて、電流駆動型の電気光学素子に対して、時間分割階調を用いることなく電流値を制御するようにした最も端的な構成を示す電気回路図である。

【図12】本発明の実施の第5の形態の表示装置における1つの画素領域の電気回路図である。

【図13】本発明の実施の第6の形態の表示装置における4つの画素領域の電気回路図である。

【図14】図13の表示装置におけるビット選択線および選択線の波形図である。

【図15】本発明の実施の第7の形態の表示装置における4つの画素領域の電気回路図である。

【図16】本発明の実施の第8の形態の表示装置における2つの画素領域の電気回路図である。

【図17】典型的な従来技術の表示装置の概略的構成を示すブロック図である。

【図18】図17の表示装置における各画素部の構成を詳細に示す回路図である。

【図19】他の従来技術の表示装置における各画素部の

構成を示す図である。

【図20】図19の表示装置におけるメモリセルの構成を詳細に示す回路図である。

【図21】さらに他の従来技術の表示装置の構成を示すブロック図である。

【図22】図21で示す表示装置における各画素の回路構成の一例を示す回路図である。

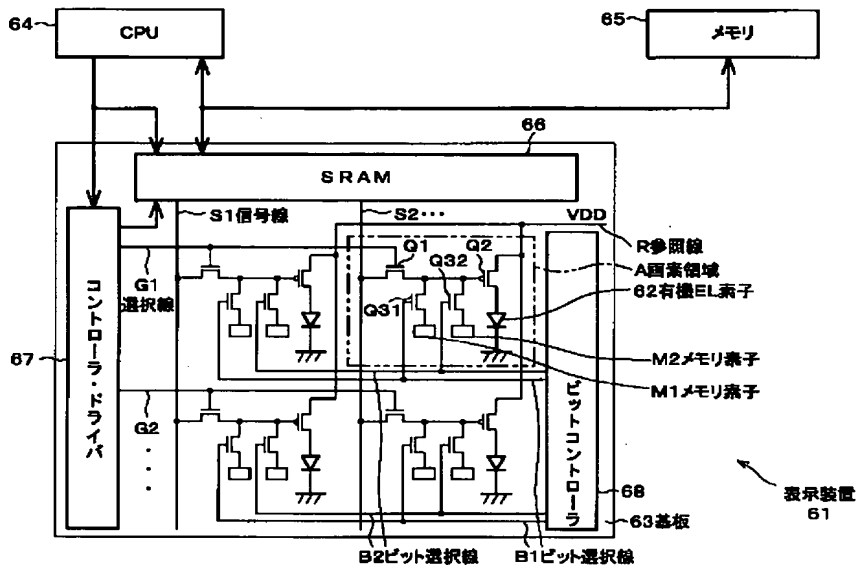
【図23】図21で示す表示装置における各画素の回路構成の他の例を示す回路図である。

【符号の説明】

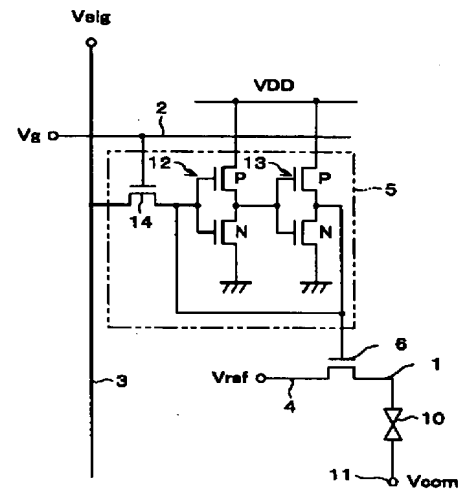
61 表示装置
62, 62a 有機EL素子（電気光学素子）
63, 63a 基板
64 CPU
65 メモリ
66 SRAM
67 コントローラ・ドライバ
68 ビットコントローラ
71 シリアルINコントロール回路
72 シリアルOUTコントロール回路
73 パラレルOUTコントロール回路
74, 75 アドレスバッファ
76 ローデコーダ
77 カラムデコーダ
78 セレクタ
79 メモリアレイ
80, 81 ゲート
82 バッファ
91 液晶（電気光学素子）
A 画素領域
A11, A12, A21, A22 画素
B; B1~B6 ビット選択線
C1~C8 強誘電体薄膜コンデンサ（メモリ素子）
C11, C21 コンデンサ
C12, C22 コンデンサ
G: Ga, Gb 選択線
INV1, INV2 CMOSインバータ
M1, M2 メモリ素子
P1, P2, N1, N2 TFT
Q1 TFT（第1のアクティブ素子）
Q2, Q2a TFT（電気光学素子）
Q11, Q12 TFT（第1のアクティブ素子）
Q31~Q37; Q32a, Q34a, Q36a, Q38a TFT（第2のアクティブ素子）
Q51, Q52 TFT（第3のアクティブ素子）
Q61; Q62, Q63 TFT
Q71, Q72 TFT（第2のアクティブ素子）
Q81~Q86 TFT（デコード手段）
R 参照線
R11, R12; R2, R3 抵抗

S 信号線

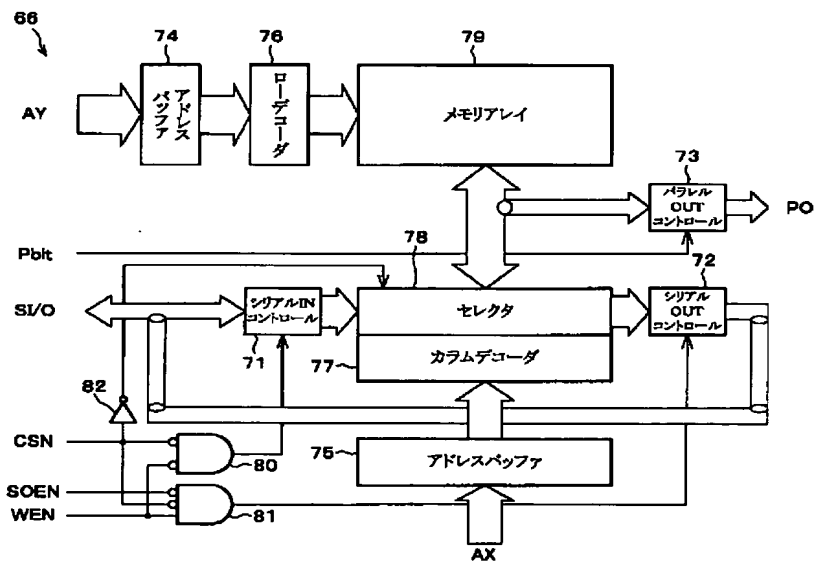
【図1】



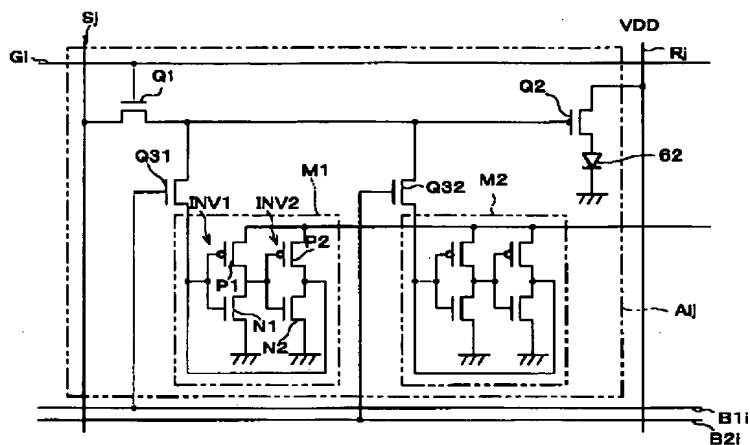
【図18】



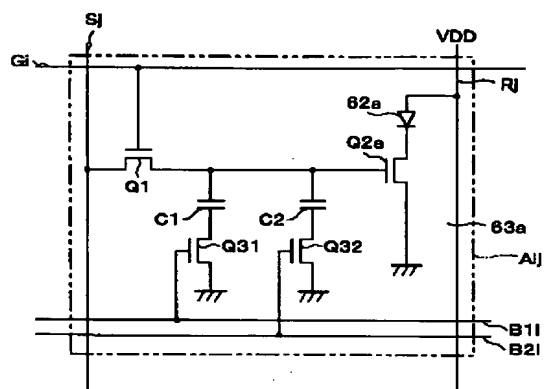
【図2】



【図3】

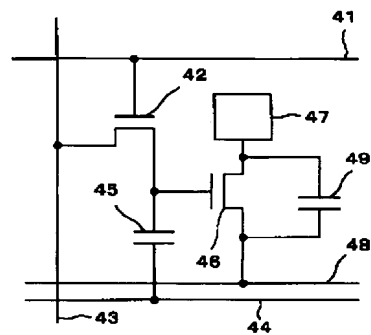
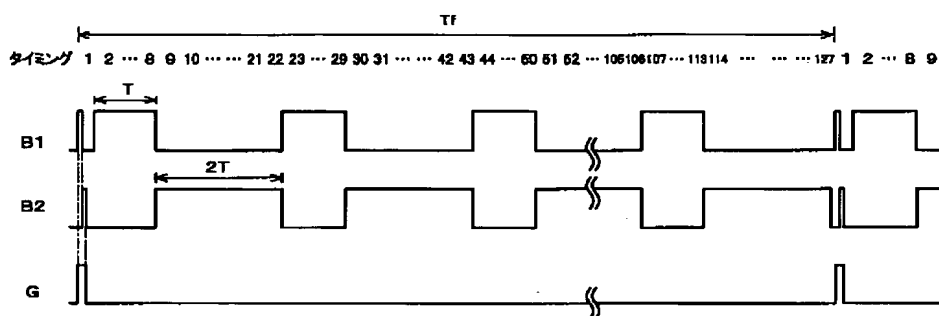


【図12】

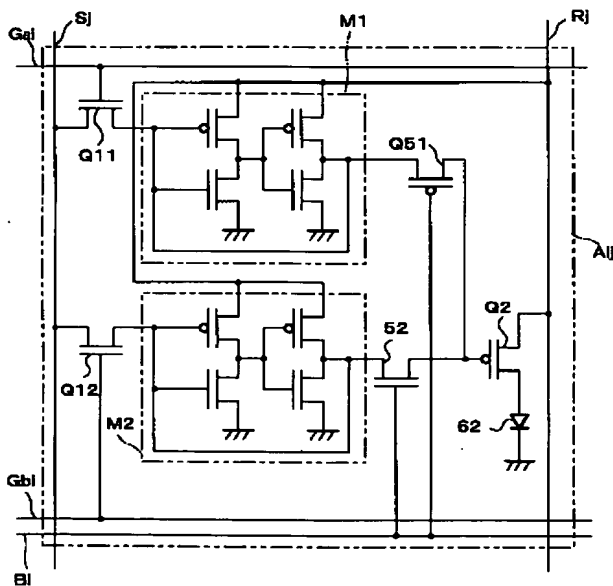


【図22】

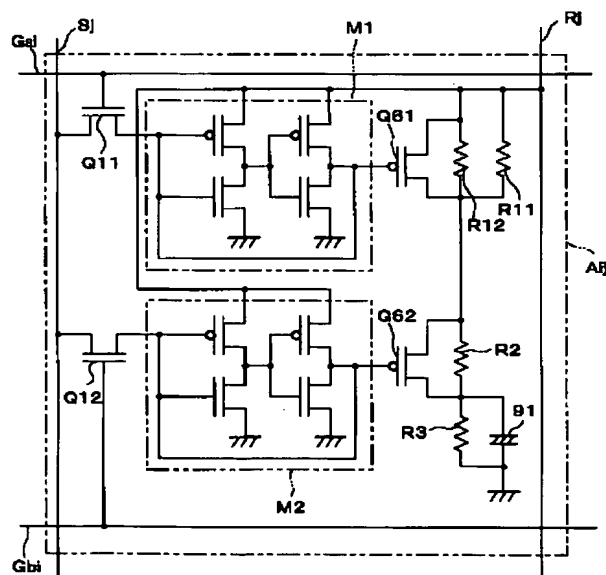
【図4】



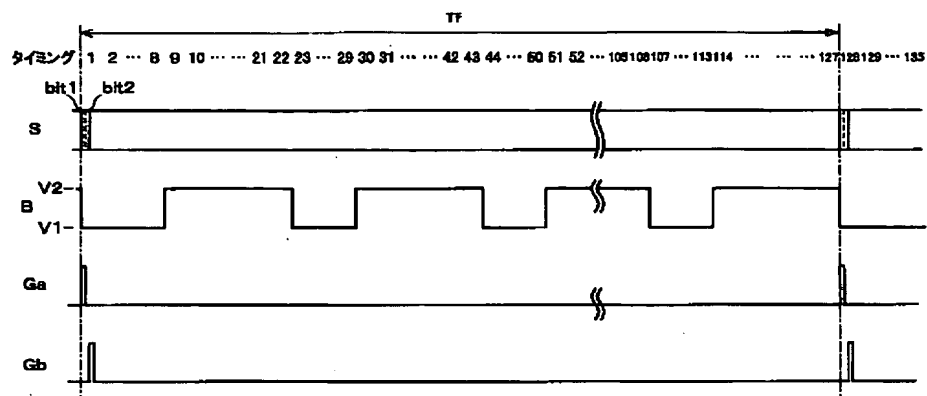
【図5】



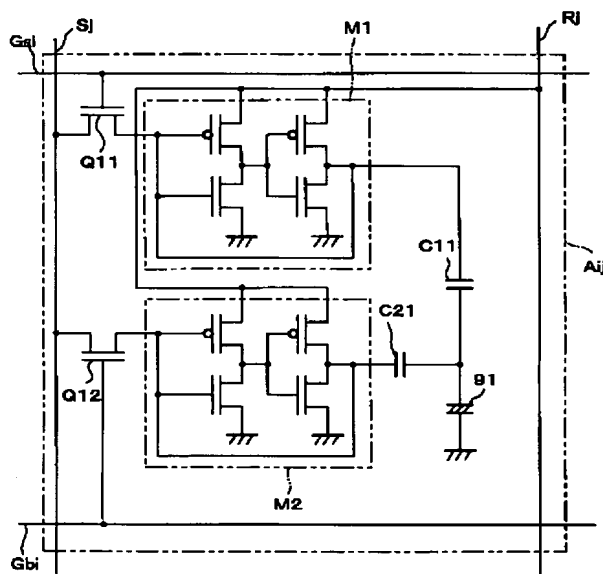
【図7】



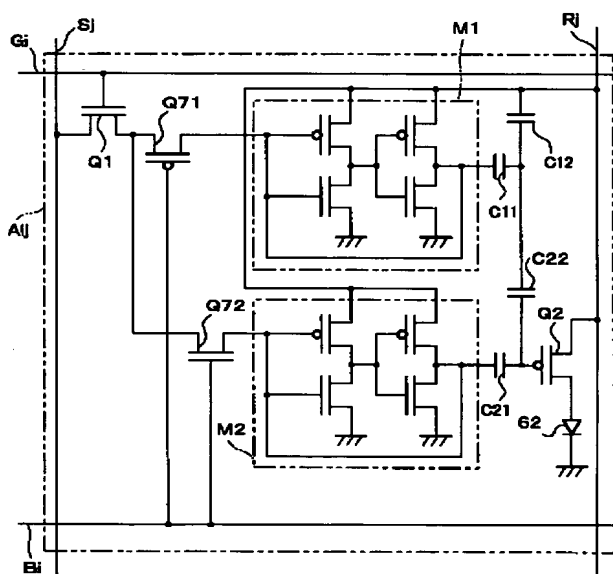
【図6】



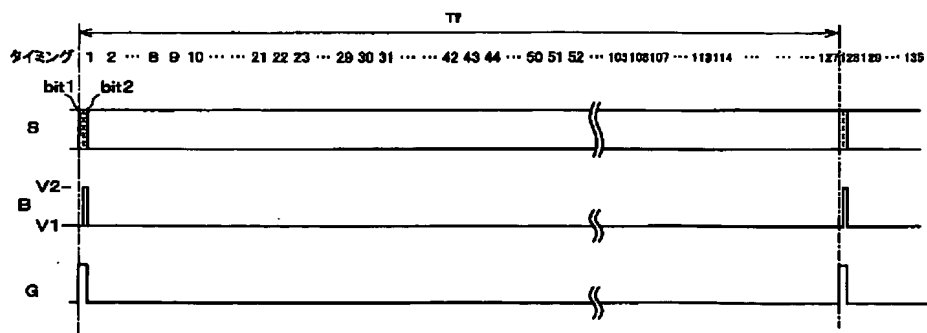
【図8】



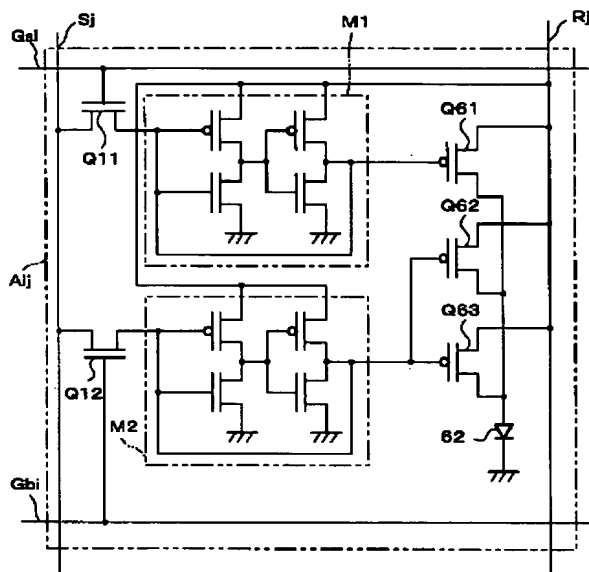
【図9】



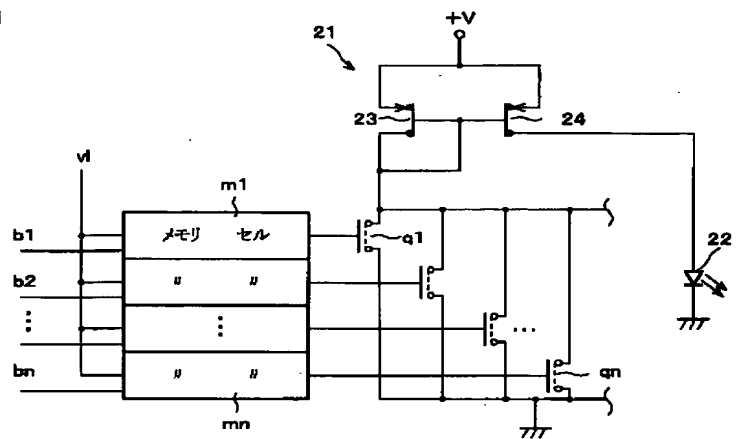
【図10】



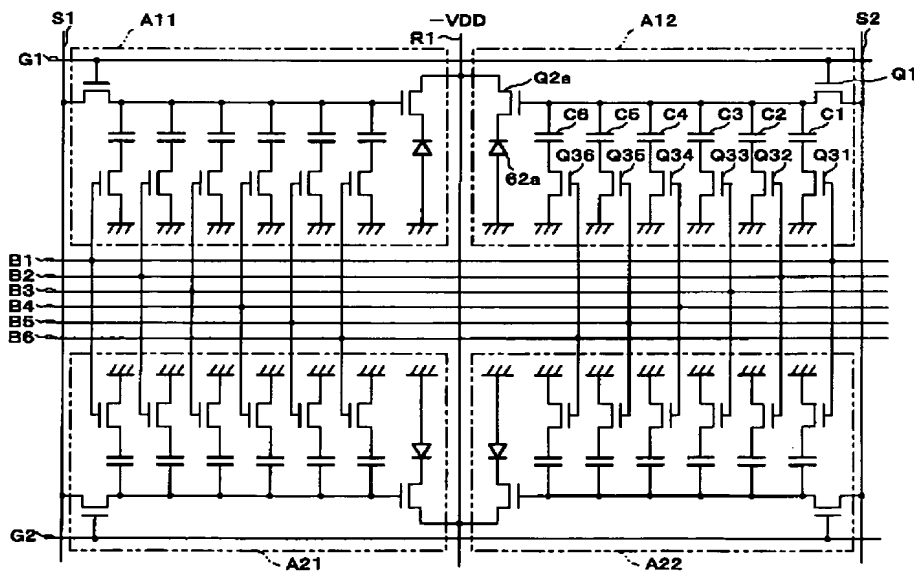
【図 1 1】



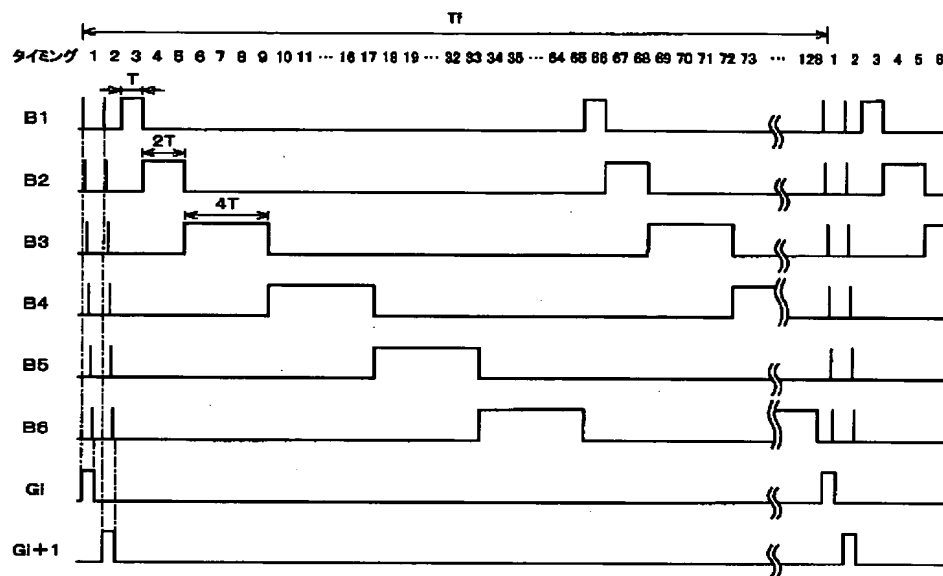
【図19】



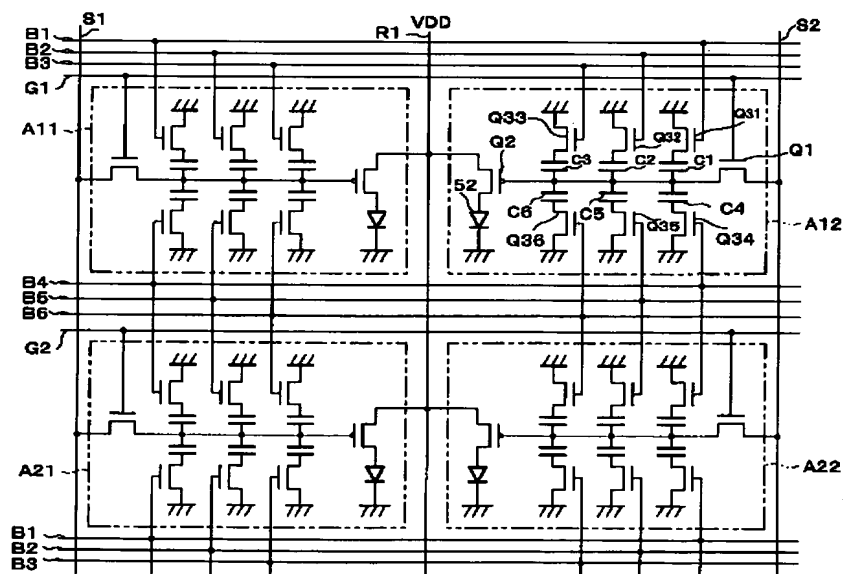
【图 13】



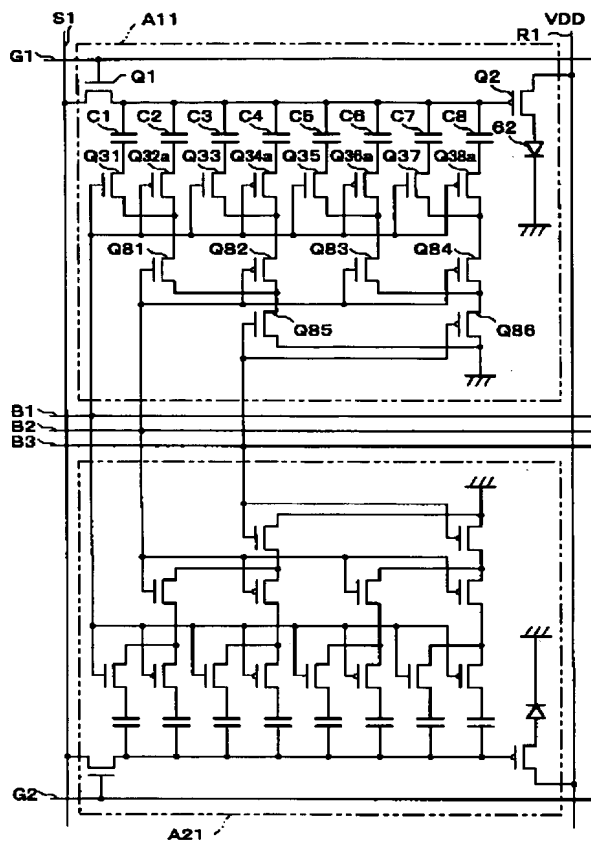
【図14】



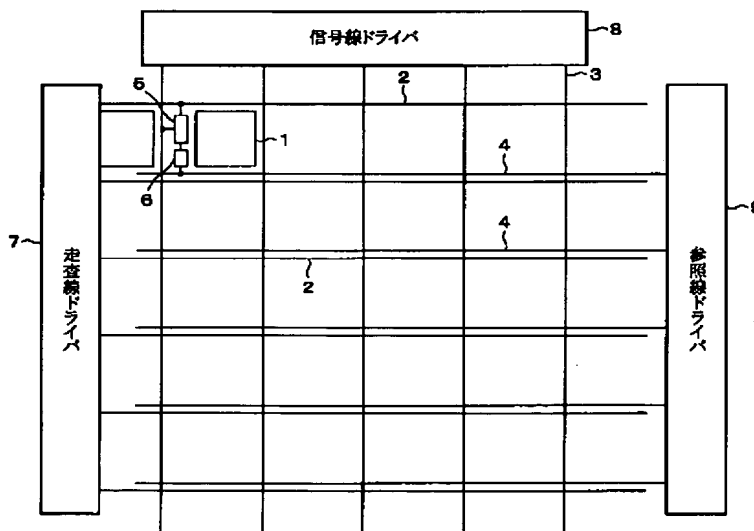
【図15】



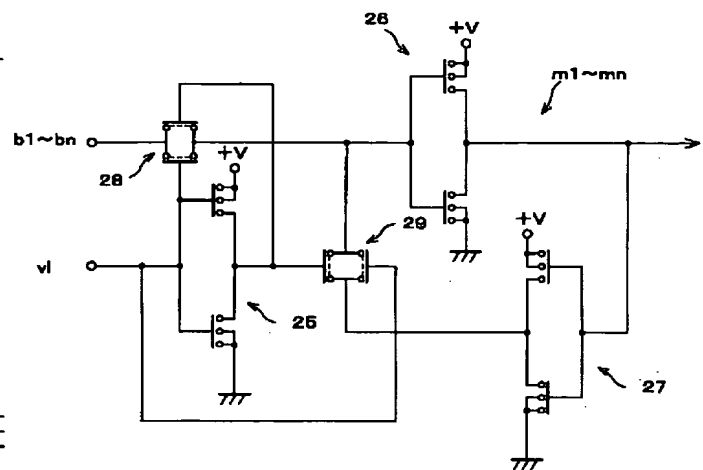
【図16】



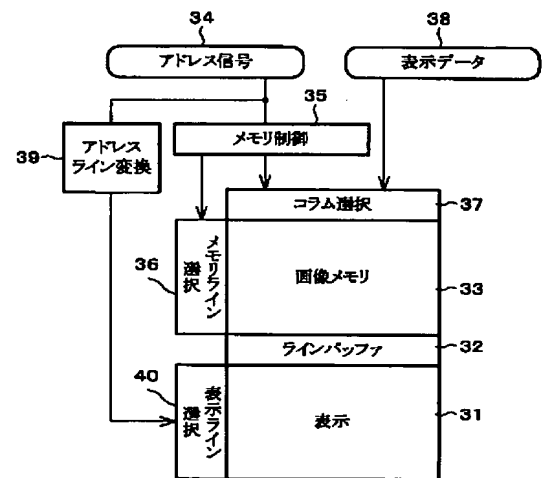
【図17】



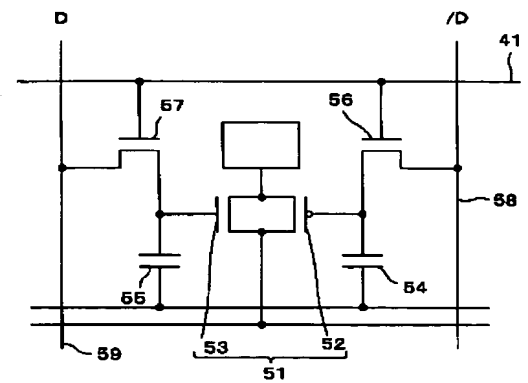
【図20】



【図21】



【図23】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
	1/1362		1/1362
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
	3 6 5		3 6 5 Z
	9/35		9/35
G 0 9 G 3/36		G 0 9 G 3/36	

Fターム(参考) 2H092 JA24 JB41 JB61 KB13 NA25
 NA26 PA06
 2H093 NC13 NC16 NC24 NC28 NC34
 NC35 NC50 ND06 ND09 ND39
 ND42 ND49
 5C006 AA01 AA11 AF11 AF44 BB16
 BC03 BC06 BC12 BC20 BC23
 BF09 EB05 FA42 FA47 FA56
 5C080 AA06 AA10 AA18 DD23 DD26
 EE29 FF11 JJ02 JJ03 JJ04
 5C094 AA22 AA45 AA54 BA03 BA09
 BA29 BA43 DB04 EA04 EA07
 EB02